

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-252398

(43)Date of publication of application : 09.09.1994

(51)Int.Cl.

H01L 29/784

H01L 21/268

H01L 21/324

H01L 27/092

(21)Application number : 05-035934

(71)Applicant : NEC CORP

(22)Date of filing : 25.02.1993

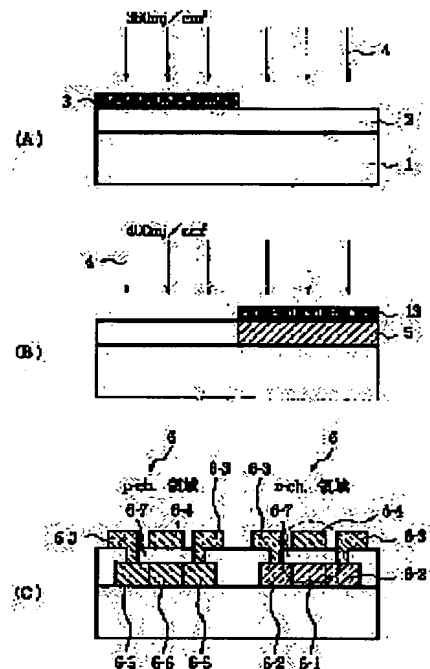
(72)Inventor : TANABE HIROSHI

## (54) THIN FILM INTEGRATED CIRCUIT AND FABRICATION OF THE SAME

### (57)Abstract:

**PURPOSE:** To execute independent stress control of a channel region of TFT by introducing different polycrystal and non-crystal composition structures and different crystal grain sizes and crystal grain boundaries in the polycrystal structure for a semiconductor thin film which becomes n-ch TFT and semiconductor thin film which becomes p-ch TFT.

**CONSTITUTION:** An a-Si thin film 2 is deposited on a glass substrate 1. Next, a laser shielding layer 3 is formed by patterning on the region where p-ch TFT. A region where a circuit is formed is annealed by a laser 4. Next, after the light shielding layer 3 is peeled, the light shielding layer 13 is formed on the n-ch TFT region to conduct laser annealing. Thereafter, the light shielding layer 13 is peeled and laser annealing is conducted. Thereafter, the light shielding layer 13 is peeled and a thin film transistor 6 is formed using the laser annealed Si thin film. Thereby, independent stress control of channel region of TFT can be enabled.



## LEGAL STATUS

[Date of request for examination] 25.02.1993

[Date of sending the examiner's decision of rejection] 17.10.1995

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2522470

[Date of registration] 31.05.1996

[Number of appeal against examiner's decision of rejection] 07-24417

[Date of requesting appeal against examiner's decision of rejection] 16.11.1995

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

일본공개특허공보 평06-252398호(1994.09.09) 1부.

[첨부그림 1]

(19)日本国特許庁(J.P.)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-252398

(43)公開日 平成6年(1994)8月8日

(31)Int.Cl. <sup>3</sup>	識別記号	片内整理番号	F.I	技術表示箇所
H01L 29/784 21/268 21/324	Z: 8817-4M N: 8817-4M 9058-4M 9170-4M		H01L 29/78 27/08 311 C 321 B	
審査請求 有 請求項の数 9 OL (全 6 頁) 最終頁に続く				

(21)出願番号 特願平5-35834

(22)出願日 平成5年(1993)2月25日

(71)出願人 000004277

日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者 田邊 浩

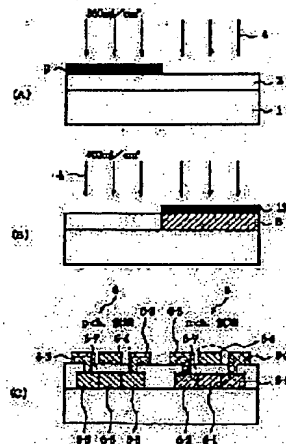
東京都港区芝五丁目7番1号日本電気株式  
会社内

(74)代理人 弁護士 京本 直樹 (外2名)

(54)【発明の名称】 隔壁回路およびその製造方法

【目的】 隔壁回路を構成するp-on、TFTとn-on、TFTとをそれぞれ最適化して形成する。

【構成】 p-on、TFTのチャネルとなる半導体薄膜とn-on、TFTのチャネルとなる半導体薄膜とを、たがいに異なるレーザ強度によるレーザアニールにより形成する。



【特許請求の範囲】

【請求項1】 基板上にnチャネル型薄層トランジスタとpチャネル型薄層トランジスタとを有する薄層集積回路において、前記nチャネル型薄層トランジスタのチャネルとなる半導体薄層と前記pチャネル型薄層トランジスタのチャネルとなる半導体薄層とはたがいに多結晶および非結晶による組成構造や多結晶構造中の結晶粒徑、結晶粒界が異なることを特徴とする薄層集積回路。

【請求項2】 前記nチャネル型薄層トランジスタのチャネルとなる半導体薄層と前記pチャネル型薄層トランジスタのチャネルとなる半導体薄層とはたがいに異なる強度のレーザ照射により形成された半導体薄層であることを特徴とする請求項1に記載の薄層集積回路。

【請求項3】 基板の第1の領域に複数のnチャネル型薄層トランジスタ群が形成され、前記第1の領域から隣接する前記基板の第2の領域に複数のpチャネル型薄層トランジスタ群が形成されていることを特徴とする薄層集積回路。

【請求項4】 前記第1の領域における前記nチャネル型薄層トランジスタのチャネルとなる半導体薄層と前記第2の領域における前記pチャネル型薄層トランジスタのチャネルとなる半導体薄層とは、たがいに多結晶および非結晶による組成構造や多結晶構造中の結晶粒徑、結晶粒界が異なることを特徴とする請求項3に記載の薄層集積回路。

【請求項5】 基板上にnチャネル型薄層トランジスタとpチャネル型薄層トランジスタとを有する薄層集積回路の製造方法において、前記nチャネル型薄層トランジスタのチャネルとなる半導体薄層と前記pチャネル型薄層トランジスタのチャネルとなる半導体薄層とはたがいに異なる強度のレーザ照射がなされることを特徴とする薄層集積回路の製造方法。

【請求項6】 前記nチャネル型薄層トランジスタはその複数個が一群となって前記基板の第1の領域に形成され、前記pチャネル型薄層トランジスタはその複数個が一群となって前記第1の領域から隣接する前記基板の第2の領域に形成されることを特徴とする請求項5に記載の薄層集積回路の製造方法。

【000011】

【発明の背景技術】 本発明は薄層集積回路およびその製造方法に係わり、特に液晶ディスプレイ、イメージセンサ等に応用可能な薄層トランジスタ（以下、TFTと称す）を用いた薄層集積回路に関する。

【00002】

【従来の技術】 液晶ディスプレイ用周辺駆動回路などの高速動作を必要とする薄層集積回路への応用を目的として、多結晶シリコンTFTの開発が進められている。なかでもエキシマレーザなどの紫外パルスレーザによるレーザアニール工程を経て形成されるTFTは、ソーダガ

ラスなどの低コスト、低熱化がガラス基板上に集積回路を作成する上での主要素子となっている。

【00003】 このようなレーザアニールによるTFTにより形成される薄層集積回路は、図5に示すような液晶ディスプレイ用TFT基板を例にとると、ガラス基板コ1上の画素用アクティブマトリクスTFTアレイ領域32と、駆動回路領域33、36とを具備する。

【00004】 レーザアニール工程はTFTのチャネルを形成すべくUV光で焼結されたシリコン薄層にエキシマレーザ34を照射することにより行われる。この時、図5に示すようなパルスレーザの順次動作33により、基板全面が同一レーザ照射強度でアニールされる。レーザ照射強度のばらつきは各TFTのチャネル領域の多結晶構造のばらつきを有するため、34程度の均一性を有するビームが用いられている。また、より大面積なビームを用いることにより生産性の向上が図られている。したがって、基板全面に一様にキャリア移動度の高い多結晶Si薄層を得ることが必要である。

【00005】 一方で、上記駆動回路をnチャネル型TFT（以下、n-c-h、TFTと称す）もしくはpチャネル型TFT（以下、p-c-h、TFTと称す）の単チャネル構成とする場合、消費電力、及びそれに伴う発熱量が大きくなる。発熱は駆動回路の安定した動作を妨げるため、それらの低減あるいは冷却装置の付加が必要となる。したがって、消費電力、発熱量の低減手段の1つとして駆動回路のCMOS化が進められている。

【00006】

【発明が解決しようとする課題】 ところが、上記のような薄層集積回路ではチャネルを形成する半導体薄層とガラス基板との形態素子が異なるため、従来の結晶SiからなるMOSトランジスタに比べ、製造プロセス中の熱サイクルにより半導体薄層中に応力が発生し、多結晶SiのSi微構造はかりでなく、応力の発生はキャリアの走行性に大きく影響を及ぼし、電子移動度を向上させる反面正孔移動度を低下させるという現象を生じる。

【00007】 その結果、良好な特性を有するn-c-h、TFT、p-c-h、TFTを同時に得ることができず、得られる駆動回路の動作速度の向上が困難であるという問題があった。

【00008】

【課題を解決するための手段】 本発明の特徴は、基板上にn-c-h、TFTとp-c-h、TFTとを有する薄層集積回路において、n-c-h、TFTのチャネルとなる半導体薄層とp-c-h、TFTのチャネルとなる半導体薄層とはたがいに多結晶および非結晶による組成構造や多結晶構造中の結晶粒徑、結晶粒界が異なる薄層集積回路にある。

【00009】 また本発明の他の特徴は、基板上にn-c-h、TFTとp-c-h、TFTとを有する薄層集積回路の製造方法において、n-c-h、TFTのチャネルとな

る半導体領域と  $n-c-h$ 、 $p-f-t$  のチャネルとなる半導体領域とはがいに異なる強度のレーザ照射により形成される導電率領域の製造方法にある。

【0010】ここで上記導電率領域回路もしくはその製造方法において、基板の第1の領域に領域に複数の  $n-c-h$ 、 $p-f-t$  の層を形成されることができ、

【0011】すなわち、図3に示すようなレーザ強度と、トランジスタ特性から得られるキャリア移動度との関係が実験から得られた。エネルギーを選択することによって  $n-c-h$ 、 $p-f-t$  と、 $n-c-h$ 、 $p-f-t$  の二移動度が可能である。レーザ強度の違いは形成されるS-F領域の濃度化させる。例えば、多結晶構造と非結晶構造等の違いや、多結晶構造中の結晶粒徑、結晶粒界の変化などである。したがって微細構造によりキャリアの移動度が変化するが、実験結果からキャリアとなる電子とホール移動度に対する最適強度は異なっている。この原因としてS-F中に生じる応力が考えられる。

【0012】なお、実験に用いたTFTは図4に示すような構造のものを用いた。石英基板上にソース、ドレイン電極となるMoSi<sub>3</sub>/p<sub>0</sub>1<sub>2</sub>y-si<sub>3</sub>N<sub>4</sub>層を形成し、その上部に堆積されたa-(アモルファス)-Si層を各エネルギーで1ヶ所につき1.0ショットずつレーザアニールすることによってチャネル層を形成した。チャネル長0.4 $\mu$ m、チャネル幅0.4 $\mu$ mであり、ゲート絶縁膜としてSiO<sub>2</sub>薄膜を真空CVD法により1500nm堆積し、ゲート電極、ソース、ドレイン端子はAl(アルミ)を用いた。またパターニングはフォトリソグラフィとドライエッチング等により行った。

【0013】このように本発明の構造によれば、 $n-c-h$ 、 $p-f-t$  領域を形成する半導体領域と、 $p-c-h$ 、 $p-f-t$  領域を形成する半導体領域とが異なる照射レーザ強度でアニールされる。レーザ強度の違いは形成されるS-F微細構造の相違を生じさせる。したがって微細構造の異なる半導体領域を得ることによって、その半導体領域中の応力制御が可能になる。

【0014】又、本発明の他の構造によれば、2次元的に広がるガラス基板上に  $n-c-h$ 、 $p-f-t$  層と  $p-c-h$ 、 $p-f-t$  層とが独立した領域に配置されるため、製造工程数の増加やレーザ照射の精密位置制御を行うことなく、 $p-c-h$ 、 $p-f-t$  領域と  $n-c-h$ 、 $p-f-t$  領域とで異なるレーザ強度の制御が可能となる。

【0015】

【実施例】本発明の第1の実施例を図1に示す。まず図1(A)に示すように、ガラス基板1上に例えば真空CVD法によってa-Si<sub>3</sub>N<sub>4</sub>薄膜2を100nmの膜厚に堆積する。次に、 $p-c-h$ 、 $p-f-t$  が形成される領域にレーザの透光層をフォトリソグラフィ等によりパターニングし形成する。透光層としてはW、Mo等の高融点金属、Al等のエキシマレーザに対し反射率の高い金属、Si等の吸収係数の高い導膜、あるいは上記のような材

料の透明膜等レーザの透光が可能ない材料であれば良い。以上のように、 $p-c-h$ 、 $p-f-t$  領域を透光した状態で、回路を形成すべき領域を3.60mJ/cm<sup>2</sup>でレーザアニールする。用いたレーザはXeClエキシマレーザ、波長308nm、1ヶ所に対する照射回数は1.0ショットである。

【0016】次に、上記透光層を剥離した後、図1(B)に示すように、 $n-c-h$ 、 $p-f-t$  領域に透光層13を形成し、40.0mJ/cm<sup>2</sup>でレーザアニールを行う。上記と同様に、1ヶ所に対する照射回数は1.0ショットである。その後、透光層13を剥離し、レーザアニールされたS-F領域を用いて、図1(C)に示すような微細トランジスタ6を形成する。チャネル層0-1、0-2にたいし、層0-2、P+層0-3はイオン注入法等により形成し、ゲート絶縁膜としてSiO<sub>2</sub>薄膜0-4を真空CVD法により1500nm堆積する。ゲート電極0-4、ソース、ドレイン端子0-3はAl(アルミ)を用いている。さらに、集積回路の製造には、以上のように形成された  $n-c-h$ 、 $p-f-t$ 、 $p-c-h$ 、 $p-f-t$  が用いられ、図1(C)に示すTFT上部に層間絶縁膜の形成、配線用金属の形成が行われる。

【0017】以上のように、 $n-c-h$ 、 $p-f-t$  チャネル領域と、 $p-c-h$ 、 $p-f-t$  チャネル領域を異なる強度でレーザアニールを行った結果、 $n-c-h$ 、 $p-f-t$  では移動度198cm<sup>2</sup>/Vs.e.v.、 $p-c-h$ 、 $p-f-t$  では移動度103cm<sup>2</sup>/Vs.e.v.という、各TFTにおいて最も高い移動度が得られた。各チャネル領域に生じている応力をRAMAN散乱分光法から見積もったところ  $n-c-h$ 、 $p-f-t$  領域で  $9 \times 10^3$  dy n/cm<sup>2</sup>、 $p-c-h$ 、 $p-f-t$  領域で  $5 \times 10^3$  dy n/cm<sup>2</sup> と応力の制御がなされていることが確認された。

【0018】また、上記実施例においてはレーザの透光層が基板上に形成されレーザ強度の選択が行われたが、レーザを任意の照射形状に制御するマスクは本実施例のみに限らずレーザの光路上いずれの位置に配置されても良い。

【0019】次に本発明の第2の実施例について説明する。図2は400ビットシフトレジスタの記憶回路図である。操作回路1ビットPチャネルセル7、及びNチャネルセル9がそれぞれ平行して400個直列にならぶことによって400ビットのシフトレジスタが構成されている。このように  $n-c-h$ 、 $p-f-t$  領域141、 $p-c-h$ 、 $p-f-t$  領域142とを明確に分離し配置することにより、集積回路製造工程におけるレーザ照射強度の選択が容易になった。したがって上記第1の実施例と同様に、 $n-c-h$ 、 $p-f-t$  領域を3.60mJ/cm<sup>2</sup>で、 $p-c-h$ 、 $p-f-t$  領域を40.0mJ/cm<sup>2</sup>でそれぞれ1ヶ所につき1.0ショットずつレーザアニールすることにより、製造工程においてそれぞれ最適条件でのレーザアニールを行う。

[ 첨부그림 4]

【0020】上記各実施例においては、上記に示したごとく1Dショットノブの照射密度で行っているが、照射密度を高めてアニールすることも可能であり、 $n^+ - \text{ch}$ 、TFT、 $p^+ - \text{ch}$ 、TFTに対し異なる照射密度でのアニールも可能である。使用されるレーザについて、XGA、CGI、エキシマレーザに限らず、KrF、ArF等の他エキシマレーザ、YAGレーザ等のパルスレーザについても使用可能である。

【0021】

【発明の効果】本発明により、薄膜集積回路を構成するTFTのチャネル領域の独立した応力制御が可能となり、形成される集積回路の動作性能の向上、信頼性の向上が実現されるという効果を有する。

【図1】本発明の第1の実施例の薄膜集積回路を製造工程断面図面図である。

【図2】本発明の第2の実施例の薄膜集積回路を示す断面図面図である。

【図3】 $p^+ - \text{ch}$ 、TFTと $n^+ - \text{ch}$ 、TFTについて、レーザ強度と移動度の関係を示す図である。

【図4】図3の実験に用いたTFTを示す断面図である。

【図5】薄膜集積回路の例として液晶ディスプレイ用TFT基板を示す図である。

【符号の説明】

1 ガラス基板

2 Si基板

3、13 遮光層

4 エキシマレーザ

5 レーザアニールにより改質された領域

6 薄膜トランジスタ

6-1  $n^+ - \text{ch}$ 、TFTチャネル

6-2  $n^+$  S1層

6-3 A1電極

6-4 ゲート電極

6-5  $p^+$  S1層

6-6  $p^+ - \text{ch}$ 、TFTチャネル

7 走査回路1ビットPチャネルセル

8 走査回路1ビットNチャネルセル

9 シフトレジスタ出力

10 電選他

11  $n^+ - \text{ch}$ 、TFT領域

12  $p^+ - \text{ch}$ 、TFT領域

3-1 駆動回路一体型液晶ディスプレイTFT基板

3-2 画素領域

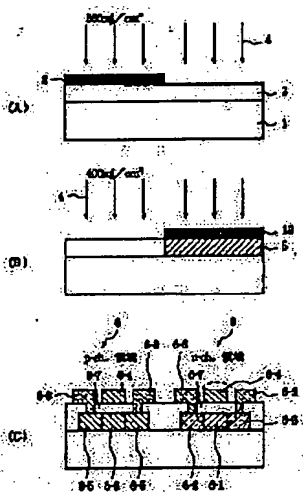
3-3 レーザ照射領域

3-4 エキシマレーザ

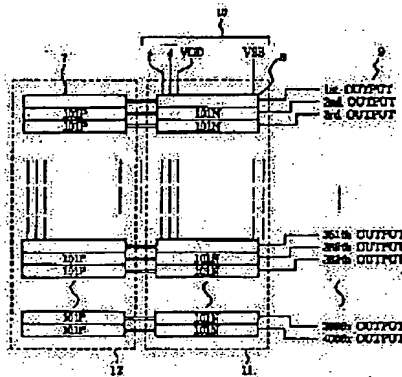
3-5 データ走査回路

3-6 ゲート走査回路

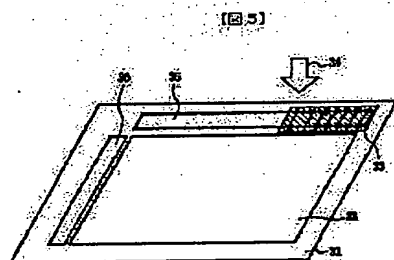
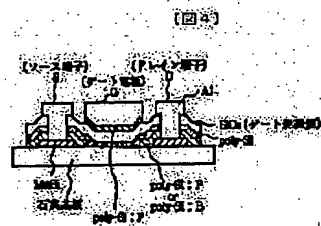
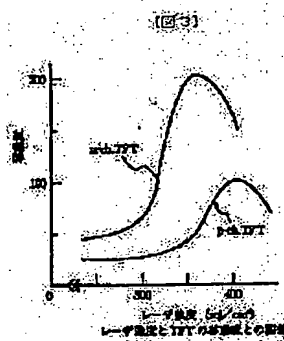
【図1】



【図2】



[ 첨부그림 5]



프론트 페이지의 크기

(S) Int. Cl. 5:  
H.O.L. 27/092

출원번호

국내등록번호

9056-4M

F. I.

H.O.L. 29/78

특허청장

3.1.1. H

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**